# Description du Projet

Notre projet consiste à utiliser le FPGA Virtex-5 pour afficher trois expressions sur le LCD de la plaquette expérimentale Genesys. Les 3 expressions qui seront affichées sont tirées d'un film bien connu. Chaque expression apparaîtra sur l'écran avec une petite animation de défilement *(Voir section plan de test pour comprendre l'animation).* Une fois apparue sur l'écran, l'expression restera affichée environ 5 secondes avant de faire place à la prochaine.

Ce document inclus:

* un plan de test permettant de juger du fonctionnement de notre projet selon certain critères.
* les diagrammes des machines à état de notre système.
* les chronogrammes attendus des signaux principaux des différents sous-modules.
* les simulations avant synthèse des signaux principaux des différents sous-modules.
* les simulations après synthèse des signaux principaux des différents sous-modules.
* notre code VHDL commenté.

# Plan de test

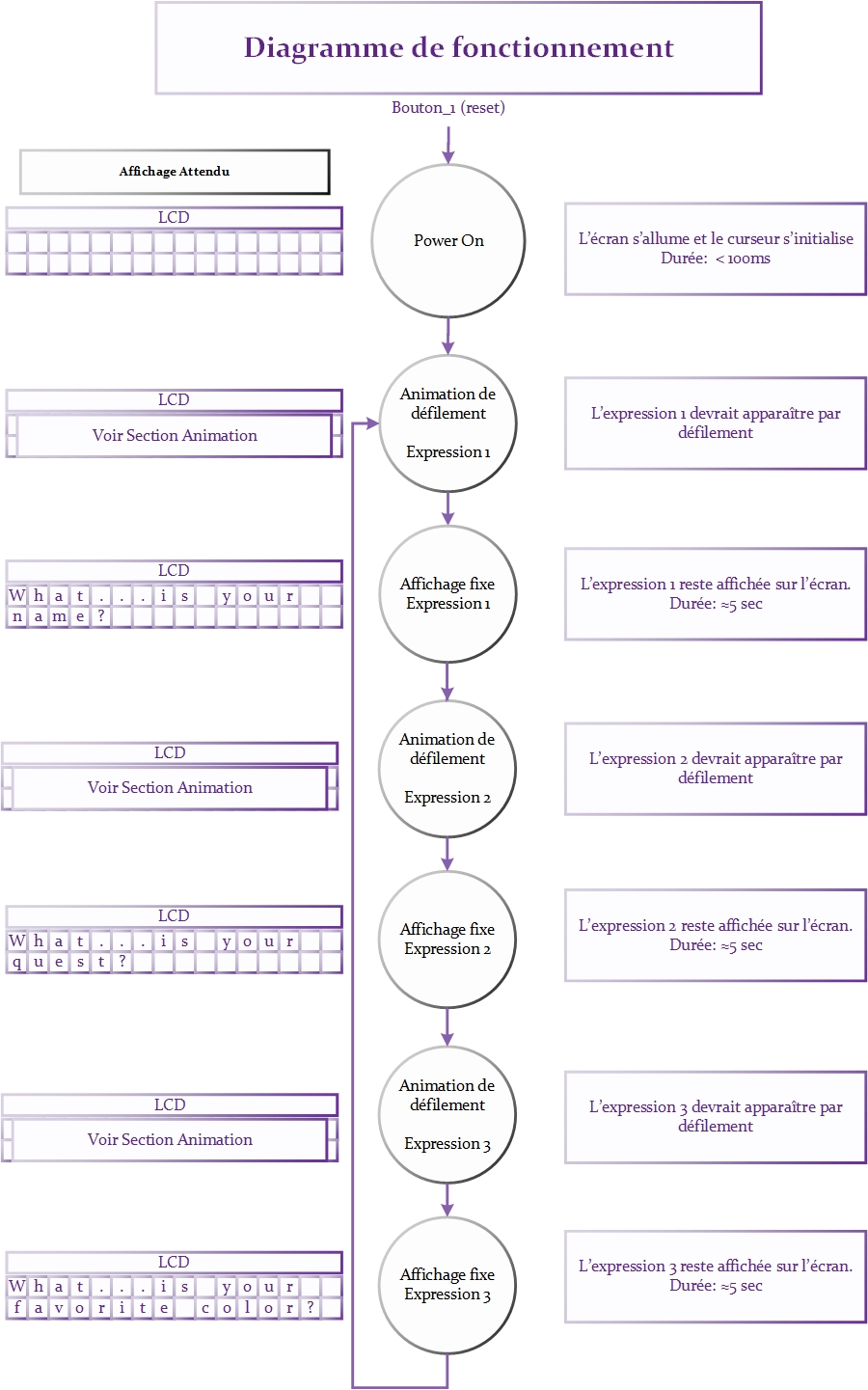
Dans cette section, nous décrirons comment valider le fonctionnement de notre projet.

## Horloge

En premier lieu, il faut vérifier si l'horloge du système est à la bonne fréquence. Notre système devrait être cadencé à 100Mhz. Pour vérifier la fréquence de l'horloge, il suffit de sonder la LED0 à l'aide de l'oscilloscope. Celle-ci devrait clignoter à environ 100Mhz.

Le signal de la LED0 est d'environ 100Mhz: \_\_\_\_\_\_\_\_\_\_\_\_\_

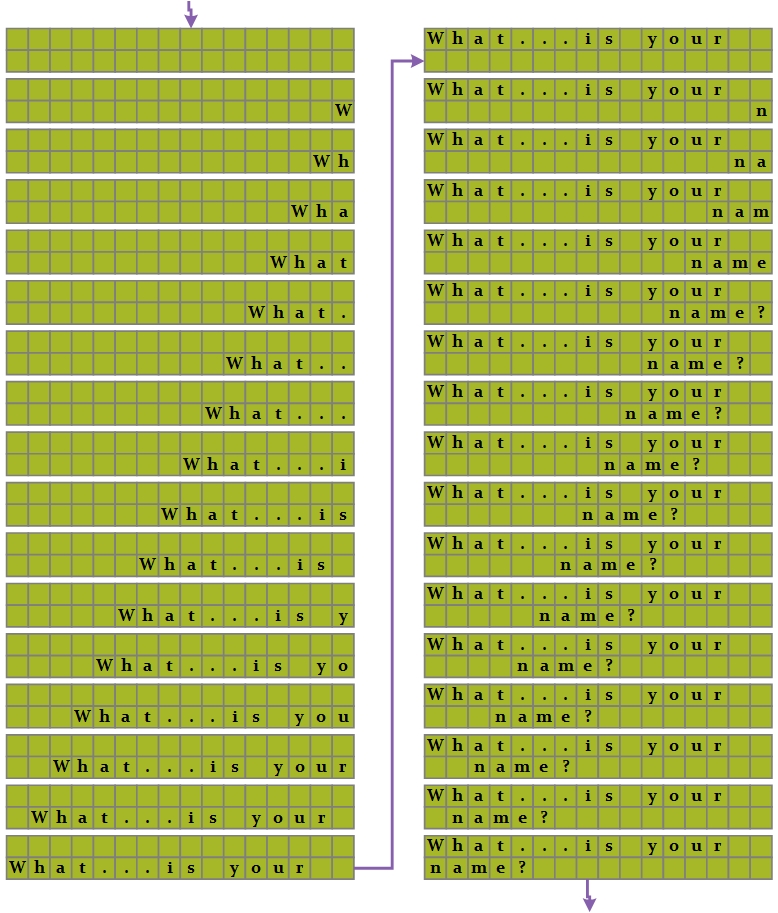
## Affichage sur le LCD

 En second lieu, il faut vérifier la séquence d'affichage de nos expressions. La séquence d'affichage va ainsi:

Les expressions qui défileront sont les suivantes:

1- What...is your  
 name?

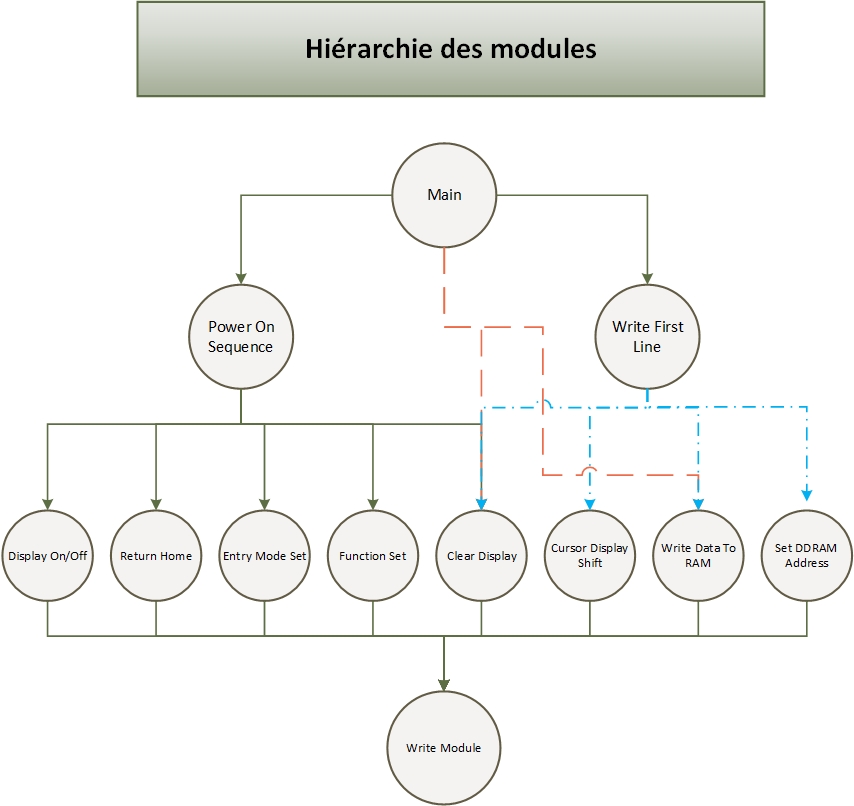
2- What...is your  
 quest?  
  
3- What...is your  
 favorite color?

L'animation de défilement va ainsi: *(exemple pour l'expression 1)*

# Structure du code

## Hiérarchie des modules

Pour bien diviser notre problème et bien diviser les fonctions de notre code, nous avons créé plusieurs sous-modules VHDL. Ces modules peuvent être classés en 4 étages de hiérarchie. Le module haut niveau *(main),* fait le lien avec le FPGA et permet de contrôler la séquence d'affichage et l'animation de déroulement. Sous le contrôle du *main*, nous avons les modules *Power On* et *Write First Line* qui permettent de réaliser les macros d'initialisations et de l'écriture complète de la première ligne sans animation. Les deux étages précédents font appelles aux modules de fonctionnalité du LCD. Finalement, ces modules de fonctionnalité utilisent le module *write* pour envoyer leur commande au LCD selon la séquence fournie dans la fiche technique.



## Machine à états du module main

On doit initialiser les boolean

On doit initialiser le vecteur LCD

On doit ajouter un timer

On doit ajouter un bouton