# Description du Projet

Notre projet consiste à utiliser le FPGA Virtex-5 pour afficher trois expressions sur le LCD de la plaquette expérimentale Genesys. Les 3 expressions qui seront affichées sont tirées d'un film bien connu. Chaque expression apparaîtra sur l'écran avec une petite animation de défilement *(Voir section plan de test pour comprendre l'animation).* Une fois apparue sur l'écran, l'expression restera affichée environ 5 secondes avant de faire place à la prochaine.

Ce document inclus:

* un plan de test permettant de juger du fonctionnement de notre projet selon certain critères.
* les diagrammes des machines à état de notre système.
* les chronogrammes attendus des signaux principaux des différents sous-modules.
* les simulations avant synthèse des signaux principaux des différents sous-modules.
* les simulations après synthèse des signaux principaux des différents sous-modules.
* notre code VHDL commenté.

# Plan de test

Dans cette section, nous décrirons comment valider le fonctionnement de notre projet.

## Horloge

En premier lieu, il faut vérifier si l'horloge du système est à la bonne fréquence. Notre système devrait être cadencé à 100Mhz.